

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE



Applicant(s): Yong-Hee Lee Docket: 8028-34 (SPX200211-0004US)

Serial No.: 10/723,159 Group: Art Unit 2819

Filed: November 26, 2003 Examiner: Nguyen, Khai M.

For: DELTA-SIGMA MODULATOR FOR REDUCING
QUANTIZATION NOISE AND OVERSAMPLING
RATIO (OSR)

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

SUBMISSION OF PRIORITY DOCUMENT

Sir:

Attached herewith is a certified copy of Korean Application No. 2003-354 filed January 3, 2003 from which priority is claimed in the above-identified application under 35 U.S.C. §119.

Respectfully submitted,
F. CHAU & ASSOCIATES, LLC


Frank Chau
Reg. No. 34,136
Attorney for Applicant(s)

F. CHAU & ASSOCIATES, LLC
130 Woodbury Road
Woodbury, NY 11797
Tel.: (516) 692-8888
Fax: (516) 692-8889

CERTIFICATE OF MAILING UNDER 37 C.F.R. §1.8(a)

I hereby certify that this correspondence is being deposited with the United States Postal Service as first class mail, postpaid in an envelope, addressed to the: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on December 2, 2004.

Dated: 12/2/04


Frank Chau



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출 원 번 호 : 10-2003-0000354
Application Number

출 원 년 월 일 : 2003년 01월 03일
Date of Application JAN 03, 2003

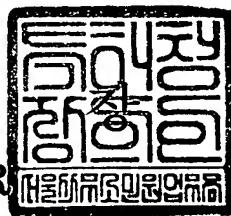
출 원 인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2004 년 03 월 18 일

특 허 청

COMMISSIONER



CERTIFIED COPY OF
PRIORITY DOCUMENT

【서지사항】

【서류명】	명세서 등 보정서
【수신처】	특허청장
【제출일자】	2003.07.01
【제출인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【사건과의 관계】	출원인
【대리인】	
【성명】	박상수
【대리인코드】	9-1998-000642-5
【포괄위임등록번호】	2000-054081-9
【사건의 표시】	
【출원번호】	10-2003-0000354
【출원일자】	2003.01.03
【심사청구일자】	2003.01.03
【발명의 명칭】	양자화 잡음을 감소시킬 수 있는 델타 시그마 변조기
【제출원인】	
【접수번호】	1-1-2003-0001949-77
【접수일자】	2003.01.03
【보정할 서류】	명세서등
【보정할 사항】	
【보정대상항목】	별지와 같음
【보정방법】	별지와 같음
【보정내용】	별지와 같음
【취지】	특허법시행규칙 제13조·실용신안법시행규칙 제8조의 규정에의하여 위와 같 이 제출합니다. 대리인 박상수 (인)

1020030000354

출력 일자: 2004/3/19

【수수료】

【보정료】 0 원

【추가심사청구료】 0 원

【기타 수수료】 0 원

【합계】 0 원

【보정대상항목】 식별번호 34

【보정방법】 정정

【보정내용】

도 4에서 입력 적분회로 시리즈(410)는 감산기와 적분기로 구성된 하나 이상의 단계로 구성되며, 도 4에는 2 단계로 구성된 2차의 경우에 대해 나타내었다. 아날로그 입력신호(X)는 1 비트 양자화기(420)에 의해 양자화되어 디지털 신호로 변환된다. 1 비트 양자화기(420)와 1 비트 D/A 컨버터(430)와 감산기들(411, 413)과 적분기들(412, 414)로 이루어진 피드백 루프에 의해 잡음이 원하는 신호대역 밖으로 정형되어 원하는 신호 내에서는 상대적으로 잡음이 적게 되고, 아날로그 입력신호는 계속하여 양자화가 진행된다. 양자화하는 과정에서 양자화 잡음(E)이 섞일 수 있으므로 1 비트 양자화기(420)의 출력신호는 양자화 잡음(E)을 포함하는 신호가 된다. 다중 비트 양자화기(440)는 입력 적분회로 시리즈(410)의 출력신호, 즉 1 비트 양자화기(420)의 입력신호 (V_m)를 수신하고 양자화된 디지털 신호를 출력한다. 1 비트 양자화기(420)와 마찬가지로 다중 비트 양자화기(440)에서도 양자화하는 과정에서 양자화 잡음(EE)이 섞일 수 있으므로 다중 비트 양자화기(440)의 출력신호는 양자화 잡음(E)을 포함하는 신호가 된다. 여러 보정회로(450)의 감산기(451)는 1 비트 양자화기(420)의 출력신호에서 다중 비트 양자화기(440)의 출력신호를 감산하고, 미분기(452)는 그 결과를 미분한다.

지연소자(460)는 1 비트 양자화기(420)의 출력신호를 수신하여 일정시간 지연시키는 기능을 한다. 감산기(470)는 지연소자(460)의 출력신호에서 에러 보정회로(450)의 출력신호를 감산하여 출력단자에 출력신호(Y)를 발생시킨다. 이러한 과정에서 감산기(451)는 각 비트 양자화기에서 생기는 양자화 잡음의 상관관계를 구하고 미분기(452)는 각 비트 양자화기에서 생기는 잡음량에 대하여 고역통과 필터의 기능을 구현함으로써 원하는 신호대역에서의 잡음량을 최소화하는 잡음 정형의 기능을 한다. 결국 최종 출력단에서는 상대적으로 큰 1 비트 양자화기 잡음을 제거되고 상대적으로 작은 다중 비트 양자화기의 잡음은 미분기에 의한 잡음 정형(noise shaping)을 통하여 그 크기가 매우 작아지므로 신호 대 잡음비의 특성이 향상된다.

【서지사항】

【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【제출일자】	2003.01.03		
【발명의 명칭】	양자화 잡음을 감소시킬 수 있는 델타 시그마 변조기		
【발명의 영문명칭】	DELTA-SIGMA MODULATOR THAT CAN REDUCE QUANTIZATION NOISE		
【출원인】			
【명칭】	삼성전자 주식회사		
【출원인코드】	1-1998-104271-3		
【대리인】			
【성명】	박상수		
【대리인코드】	9-1998-000642-5		
【포괄위임등록번호】	2000-054081-9		
【발명자】			
【성명의 국문표기】	이용희		
【성명의 영문표기】	LEE, YONG HEE		
【주민등록번호】	680403-1053118		
【우편번호】	449-843		
【주소】	경기도 용인시 수지읍 상현리 860 서원마을3단지 I-park 303-1404		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 박상수 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	13	면	13,000 원
【우선권주장료】	0	건	0 원
【심사청구료】	10	항	429,000 원
【합계】	471,000 원		
【첨부서류】	1. 요약서·명세서(도면)_1통		

【요약서】**【요약】**

본 발명은 델타 시그마 변조기에 관한 것으로, 1 비트 양자화기와 다중 비트 양자화기와 에러 보정회로를 구비하고 다중 비트 양자화기의 디지털 출력신호와 1 비트 양자화기의 디지털 출력신호를 사용하여 에러를 정정함으로써 아날로그 입력신호를 디지털 출력신호로 변환할 때 생기는 양자화 잡음을 감소시키는 것을 특징으로 한다.

본 발명에 따른 델타 시그마 변조기에 의하면, 다중 비트 양자화기의 디지털 출력신호와 1 비트 양자화기의 디지털 출력신호를 사용하여 특성에 많은 영향을 주는 에러를 정정함으로써 양자화 잡음을 감소시킬 수 있다. 또한, 본 발명에 따른 델타 시그마 변조기에 의하면, 다중 비트 양자화기에 의해 발생할 수 있는 DC 옵셋을 제거할 수 있다.

【대표도】

도 4

【명세서】**【발명의 명칭】**

양자화 잡음을 감소시킬 수 있는 델타 시그마 변조기{DELTA-SIGMA MODULATOR THAT CAN REDUCE QUANTIZATION NOISE}

【도면의 간단한 설명】

도 1(a)은 잡음 정형화 기술을 사용하여 신호대역의 잡음을 감소시키는 방법을 나타낸 도면이다.

도 1(b)은 오버 샘플링 기술과 잡음 정형화 기술을 사용하여 신호대역의 잡음을 감소시키는 방법을 나타낸 도면이다.

도 2는 델타 시그마 변조기를 사용하여 구현한 종래의 A/D 컨버터의 블록도이다.

도 3은 1비트 양자화기와 다중비트 양자화기를 사용하고 양자화 잡음을 아날로그 방식으로 정정하여 구현한 종래의 델타 시그마 변조기를 나타내는 도면이다.

도 4는 1비트 양자화기와 다중비트 양자화기를 사용하여 구현한 본 발명의 제 1 실시예에 따른 델타 시그마 변조기를 나타내는 도면이다.

도 5는 1비트 양자화기와 다중비트 양자화기를 사용하여 구현한 본 발명의 제 2 실시예에 따른 델타 시그마 변조기를 나타내는 도면이다.

도 6은 도 5에 도시된 델타 시그마 변조기에 대해 구체적인 전달함수를 구하여 상세히 나타낸 도면이다.

도 7은 본 발명에 따른 델타 시그마 변조기와 종래의 양자화 잡음 정정을 하지 않은 델타 시그마 변조기에 대하여 오버 샘플링 비에 따른 신호 대 잡음비의 시뮬레이션 결과를 나타낸 도면이다.

도 8과 도 9는 본 발명에 따른 델타 시그마 변조기와 종래의 양자화 잡음 정정을 하지 않은 델타 시그마 변조기에 대한 매트랩(matlab) 시스템 시뮬레이션 결과를 나타내는 도면이다

<도면의 주요부분에 대한 부호의 설명>

410 : 입력 적분회로 시리즈

411, 413, 451, 470 : 감산기

412, 414 : 적분기

420 : 1 비트 양자화기

430 : 1 비트 D/A 컨버터

440 : 다중 비트 양자화기

450 : 에러 보정회로

460 : 지연소자

480, 490, 500 : 이득요소

510 : 리미터

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <16> 본 발명은 델타 시그마 변조기에 관한 것으로, 특히 디지털 영역에서 에러를 정정함으로써 양자화 잡음을 감소시킬 수 있는 델타 시그마 변조기에 관한 것이다.
- <17> 일반적으로, 낮은 주파수에서 동작하고 고정밀도의 해상도를 요구하는 특정 응용분야의 입출력단이나 송수신단에서는 델타 시그마 변조기(delta-sigma modulator)와 디지털 필터로 구성된 델타 시그마 A/D 컨버터 또는 델타 시그마 D/A 컨버터를 이용하여 신호변환을 한다. 델타

시그마 변조기는 오버 샘플링 기술과 잡음 정형화(noise shaping) 기술을 사용한다. 도 1(a)에는 잡음 정형화 기술을 사용하여 신호대역의 잡음을 감소시키는 방법이 나타나 있고, 도 1(b)에는 오버 샘플링 기술과 잡음 정형화 기술을 사용하여 신호대역의 잡음을 감소시키는 방법이 나타나 있다. 잡음 정형화 기술은 신호변환시 발생하는 양자화 잡음을 사용하지 않는 신호대역으로 밀어내는 역할을 하고, 그 양은 델타 시그마 변조기의 차수에 따라 다르다. 오버 샘플링 기술은 모든 대역에서 일정한 양자화 잡음을 신호대역을 높여 실제 사용하는 신호대역에서는 양자화 잡음을 줄이는 기술이다. 또한, 델타 시그마 변조기는 고역통과 필터의 역할을 수행하고 오버 샘플링을 통해 신호대역을 높게 유지함으로써 작은 차수에서도 변환하려고 하는 신호대역의 잡음비는 상대적으로 작아져서 신호대역 내에서의 신호 대 잡음비를 향상시킬 수 있다. 즉, 델타 시그마 변조 방법은 잡음 정형화 기술과 오버 샘플링 기술을 이용하여 사용하는 신호대역에서의 잡음을 줄여 고해상도를 얻을 수 있는 방법이다.

<18> 도 2는 델타 시그마 변조기를 사용하여 구현한 종래의 A/D 컨버터의 블록도이다. 도 2의 A/D 컨버터의 특성은 오버 샘플링 비(oversampling ratio; OSR)가 일정한 경우에 아날로그 루프 필터의 차수(L)와 양자화기(quantizer)의 비트수(N)에 의해 결정된다. 일반적으로, 델타 시그마 변조기를 사용하여 구현한 A/D 컨버터에서는 양자화기의 비선형 특성을 피하기 위해 1 비트 양자화기를 사용한다. 그래서, 델타 시그마 변조기를 사용하여 구현된 A/D 컨버터는 1 비트 A/D 컨버터라고도 불린다. 일반적으로, 응용분야별로 요구되는 적절한 잡음비의 특성을 얻기 위하여 변조기의 차수(L)와 OSR 사이에는 반비례 관계가 성립된다. 예를 들어, 음성 주파수대(voice band)(4 kHz, $F_s = 8$ kHz)의 응용에서는 $L = 2$, OSR = 256, N = 1이 적절하고, 가청 주파수대(audio band)(20 kHz, $F_s = 44.1$ kHz)의 응용에서는 $L = 4$, OSR = 64, N = 1이

적절하다. 여기서, F_s 는 샘플링 주파수이다. L 값이 작은으로써 발생하는 특성의 열화는 OSR을 높임으로써 서로 상쇄할 수 있다.

<19> 그런데, 오버 샘플링 기술은 Nyquist 주파수보다 OSR 만큼 높은 주파수에서 동작하므로 신호대역이 높은 응용에서는 회로로 구현하는 데 문제가 있다. 만일 Nyquist 주파수가 2 MHz인 응용에서 OSR이 256인 경우에는 동작주파수는 512 MHz가 되어 문제가 되고, OSR을 낮추기 위해 서는 변조기의 차수(L)가 증가하기 때문에 회로로 구현했을 경우 잡음, 전력소모, 및 제품 단가(cost) 면에서 여러 가지 문제점이 나타난다. 특히, 아날로그 변조기의 경우에는 대부분의 회로가 잡음에 민감한 아날로그 회로로 구성되므로 잡음의 영향을 많이 받고 구현하기가 어렵다.

<20> 이러한 문제점을 해결하고자 최근에는 낮은 OSR과 변조기의 낮은 차수에서도 응용에 맞는 적절한 특성을 나타낼 수 있는 다양한 방식들이 제안되어 왔다. 이 제안들 중 중요한 방식으로 양자화 잡음을 각 단계(stage)별로 합산하고 이를 필터링하여 제거하는 다단 잡음정형(multi-stage noise shaping; MASH) 방식, 및 1 비트와 N 비트의 듀얼 양자화기를 사용하고 1 비트 양자화기에서 생기는 양자화 잡음을 아날로그 방식으로 제거하고 그 출력을 디지털 잡음정형을 통하여 구현한 것을 예로 들 수 있다. 1 비트와 N 비트의 듀얼 양자화기를 사용한 후 디지털 정정을 사용하여 양자화 잡음을 제거하는 방식은 미국 등록특허 6,300,890호에 개시되어 있으며, 도 3에 도시되어 있다. 도 3에 도시된 종래의 델타 시그마 변조기는 1 비트 양

자화기를 포함하는 피드백 루프에 의해 아날로그 입력신호를 양자화할 수 있고, 다중 비트 양자화기(11)를 포함하는 루프를 사용하여 양자화 잡음 정정을 수행함으로써 양자화 잡음을 줄일 수 있는 것을 특징으로 한다. 도 3의 델타 시그마 변조기에서는 양자화 에러를 계산하기 위해 최종 단(final stage) 적분기(8)의 아날로그 출력신호에서 1 비트 D/A 컨버터(4)의 양자화된 아날로그 출력신호를 감산하여 1 비트 D/A 컨버터에서 생기는 양자화 잡음을 제거하게 된다. 그런데, 감산기(10)에서 감산하는 신호가 아날로그 신호이고 양자화 잡음을 제거하는 신호의 루프가 아날로그 회로이므로 잡음의 영향을 많이 받을 수 있다.

【발명이 이루고자 하는 기술적 과제】

- <21> 상술한 바와 같은 문제점을 해결하기 위하여, 본 발명에 따른 델타 시그마 변조기는 1 비트 양자화기와 다중 비트 양자화기와 에러 보정회로를 구비하고, 다중 비트 양자화기의 디지털 출력신호와 1 비트 양자화기의 디지털 출력신호를 사용하여 디지털 영역에서 에러를 정정 함으로써 양자화 잡음을 감소시킬 수 있고 정정회로의 루프가 디지털 영역에서 이루어지므로 잡음에 대한 영향을 최소화할 수 있다.
- <22> 본 발명의 목적은 양자화 잡음을 감소시키고 잡음의 영향을 최소화하는 델타 시그마 변조기를 제공하는 것이다.
- <23> 본 발명의 다른 목적은 다중 비트 양자화기에 의해 발생할 수 있는 DC 옵셋을 제거할 수 있는 델타 시그마 변조기를 제공하는 것이다.

【발명의 구성 및 작용】

- <24> 본 발명에 따른 델타 시그마 변조기는 1 비트 양자화기와 다중 비트 양자화기와 에러 보정회로를 구비하고 상기 다중 비트 양자화기의 디지털 출력신호와 상기 1 비트 양자화기의 디

지털 출력신호를 사용하여 에러를 정정함으로써 아날로그 입력신호를 디지털 출력신호로 변환 할 때 양자화 잡음을 정정하여 감소시키는 것을 특징으로 한다.

<25> 본 발명에 따른 엘타 시그마 변조기는 아날로그 입력신호가 입력되는 입력단자, 디지털 출력신호가 출력되는 출력단자, 상기 입력단자와 상기 출력단자 사이에 위치하고 인가되는 아날로그 신호를 양자화하고 양자화된 디지털 신호를 출력하기 위한 1 비트 양자화기, 상기 양자화된 디지털 신호를 양자화된 아날로그 신호로 변환시키는 1 비트 D/A 컨버터, 제 1 감산기와 상기 제 1 감산기의 출력을 적분하기 위한 적분기를 포함하는 하나 이상의 단계(stage)를 포함하고, 첫 번째 단계의 제 1 감산기는 상기 입력단자의 아날로그 입력신호에서 상기 1 비트 D/A 컨버터의 양자화된 아날로그 출력신호를 감산하고 마지막 단계의 적분기는 그 출력을 상기 1 비트 양자화기에 출력하는 입력 적분회로 시리즈, 상기 입력 적분회로 시리즈의 출력신호를 양자화하고 양자화된 디지털 신호를 출력하기 위한 다중 비트 양자화기, 상기 다중 비트 양자화기의 디지털 신호와 상기 1 비트 양자화기의 디지털 신호를 수신하여 에러를 보정하는 에러 보정회로, 상기 1 비트 양자화기의 양자화된 디지털 신호를 지연하기 위한 지연 소자, 및 상기 지연 소자의 출력신호에서 상기 에러 보정회로의 출력신호를 감산하고 그 결과를 출력하기 위한 제 2 감산기를 구비하는 것을 특징으로 한다.

<26> 상기 에러 보정회로는 상기 1 비트 양자화기의 디지털 신호에서 상기 다중 비트 양자화기의 디지털 신호를 감산하여 1 비트 양자화기에서 생기는 양자화 잡음과 다중비트 양자화기의 잡음의 상관관계를 구하기 위한 제 3 감산기, 및 상기 제 3 감산기의 출력신호를 미분하여 비트 양자화기에서 생기는 잡음량에 대하여 고역통과 필터의 기능을 구현함으로써 원하는 신호대역에서의 잡음량을 최소화하는 잡음 정형을 위한 미분기를 포함하는 것을 특징으로 한다.

- <27> 상기 델타 시그마 변조기는 상기 다중 비트 양자화기와 상기 에러 보정회로 사이에 리미터를 더 구비하여 다중비트 양자화기를 사용하여 생길 수 있는 DC 옵셋을 제거하는 기능을 추가한 것을 특징으로 한다.
- <28> 이하, 첨부된 도면을 참조하여 본 발명에 따른 델타 시그마 변조기에 대해 설명한다.
- <29> 도 4는 1비트 양자화기와 다중비트 양자화기를 사용하여 구현한 본 발명의 제 1 실시예에 따른 델타 시그마 변조기를 나타내는 도면이다.
- <30> 도 4의 델타 시그마 변조기는 아날로그 입력신호(X)가 입력되는 입력단자, 디지털 출력신호(Y)가 출력되는 출력단자, 입력단자와 출력단자 사이에 위치하고 인가되는 아날로그 신호를 양자화하고 양자화된 디지털 신호를 출력하기 위한 1 비트 양자화기(420), 양자화된 디지털 신호를 양자화된 아날로그 신호로 변환시키는 1 비트 D/A 컨버터(430), 감산기와 적분기를 포함하는 하나 이상의 단계(stage)를 포함하고 아날로그 입력신호(X)에서 1 비트 D/A 컨버터(430)의 양자화된 아날로그 출력신호를 감산하고 적분하여 그 출력을 1 비트 양자화기(420)에 출력하는 입력 적분회로 시리즈(410), 입력 적분회로 시리즈(410)의 출력신호를 양자화하고 양자화된 디지털 신호를 출력하기 위한 다중 비트 양자화기(440), 다중 비트 양자화기(440)의 디지털 출력신호와 1 비트 양자화기(420)의 디지털 출력신호를 수신하여 에러를 보정하는 에러보정회로(450), 1 비트 양자화기(420)의 양자화된 디지털 신호를 지연하기 위한 지연 소자(460), 및 지연 소자(460)의 출력신호에서 에러 보정회로(450)의 출력신호를 감산하고 감산결과를 출력하기 위한 감산기(470)를 구비한다.
- <31> 입력 적분회로 시리즈(410)는 아날로그 입력신호에서 1 비트 D/A 컨버터(430)의 아날로그 출력신호를 감산하는 감산기(411), 감산기(411)의 출력신호를 적분하는 적분기(412), 적분

기(412)의 출력신호에서 1 비트 D/A 컨버터(430)의 아날로그 출력신호를 감산하는 감산기(413), 및 감산기(413)의 출력신호를 적분하는 적분기(414)를 포함한다.

<32> 예러 보정회로(450)는 1 비트 양자화기(420)의 디지털 출력신호에서 다중 비트 양자화기(440)의 디지털 출력신호를 감산하여 1 비트 양자화기에서 생기는 양자화 잡음과 다중 비트 양자화기의 잡음과의 상관관계를 구하기 위한 감산기(451), 및 감산기(451)의 출력신호를 미분하여 비트 양자화기에서 생기는 잡음량에 대하여 고역통과 필터의 기능을 구현함으로써 원하는 신호대역에서의 잡음량을 최소화하는 미분기(452)를 포함한다.

<33> 이하, 도 4를 참조하여 본 발명의 제 1 실시예에 따른 델타 시그마 변조기의 동작에 대해 설명한다.

<34> 도 4에서 입력 적분회로 시리즈(410)는 감산기와 적분기로 구성된 하나 이상의 단계로 구성되며, 도 2에는 2 단계로 구성된 2차의 경우에 대해 나타내었다. 아날로그 입력신호(X)는 1 비트 양자화기(420)에 의해 양자화되어 디지털 신호로 변환된다. 1 비트 양자화기(420)와 1 비트 D/A 컨버터(430)와 감산기들(411, 413)과 적분기들(412, 414)로 이루어진 피드백 루프에 의해 잡음이 원하는 신호대역 밖으로 정형되어 원하는 신호 내에서는 상대적으로 잡음이 적게 되고, 아날로그 입력신호는 계속하여 양자화가 진행된다. 양자화하는 과정에서 양자화 잡음(E)이 섞일 수 있으므로 1 비트 양자화기(420)의 출력신호는 양자화 잡음(E)을 포함하는 신호가 된다. 다중 비트 양자화기(440)는 입력 적분회로 시리즈(410)의 출력신호, 즉 1 비트 양자화기(420)의 입력신호(V_m)를 수신하고 양자화된 디지털 신호를 출력한다. 1 비트 양자화기(420)와 마찬가지로 다중 비트 양자화기(420)에서도 양자화하는 과정에서 양자화 잡음(EE)이 섞일 수 있으므로 다중 비트 양자화기(420)의 출력신호는 양자화 잡음(E)을 포함하는 신호가 된다. 예러 보정회로(450)의 감산기(451)는 1 비트 양자화기(420)의 출력신호에서 다중 비트 양자화기

(440)의 출력신호를 감산하고, 미분기(452)는 그 결과를 미분한다. 지연소자(460)는 1 비트 양자화기(420)의 출력신호를 수신하여 일정시간 지연시키는 기능을 한다. 감산기(470)는 지연소자(460)의 출력신호에서 에러 보정회로(450)의 출력신호를 감산하여 출력단자에 출력신호(Y)를 발생시킨다. 이러한 과정에서 감산기(451)는 각 비트 양자화기에서 생기는 양자화 잡음의 상관관계를 구하고 미분기(452)는 각 비트 양자화기에서 생기는 잡음량에 대하여 고역통과 필터의 기능을 구현함으로써 원하는 신호대역에서의 잡음량을 최소화하는 잡음 정형의 기능을 한다. 결국 최종 출력단에서는 상대적으로 큰 1 비트 양자화기 잡음을 제거되고 상대적으로 작은 다중비트 양자화기의 잡음은 미분기에 의한 잡음 정형(noise shaping)을 통하여 그 크기가 매우 작아지므로 신호 대 잡음비의 특성이 향상된다.

<35> 도 5는 1비트 양자화기와 다중비트 양자화기를 사용하여 구현한 본 발명의 제 2 실시예에 따른 델타 시그마 변조기를 나타내는 도면으로서, 도 4에 도시된 본 발명의 제 1 실시예에 따른 델타 시그마 변조기에 각 단계의 이득의 차이를 보정하기 위한 소정의 이득요소와 리미터를 더 구비한다.

<36> 도 5의 델타 시그마 변조기는 아날로그 입력신호(X)가 입력되는 입력단자, 디지털 출력신호(Y)가 출력되는 출력단자, 입력단자와 출력단자 사이에 위치하고 인가되는 아날로그 신호를 양자화하고 양자화된 디지털 신호를 출력하기 위한 1 비트 양자화기(420), 양자화된 디지털 신호를 양자화된 아날로그 신호로 변환시키는 1 비트 D/A 컨버터(430), 감산기와 적분기로 구성된 하나 이상의 단계(stage)를 포함하고 아날로그 입력신호(X)에서 1 비트 D/A 컨버터(430)의 양자화된 아날로그 출력신호를 감산하고 적분하여 그 출력을 1 비트 양자화기(420)에 출력하는 입력 적분회로 시리즈(410), 1 비트 양자화기(420)의 디지털 출력신호에 소정의 이득을 주기 위한 이득요소(480), 입력 적분회로 시리즈(410)의 출력신호를 양자화하고 양자화된 디지

털 신호를 출력하기 위한 다중 비트 양자화기(440), 다중 비트 양자화기(440)의 디지털 출력신호에 소정의 이득을 주기 위한 이득요소(500), 이득요소(500)의 출력신호를 안정화시키는 리미터(510), 리미터(510)의 출력신호와 이득요소(480)의 출력신호를 수신하여 에러를 보정하는 에러 보정회로(450), 이득요소(480)의 출력신호에 소정의 이득을 주기 위한 이득요소(490), 이득요소(490)의 출력신호를 지연하기 위한 지연 소자(460), 및 지연 소자(460)의 출력신호에서 에러 보정회로(450)의 출력신호를 감산하고 감산결과를 출력하기 위한 감산기(470)를 구비한다.

<37> 입력 적분회로 시리즈(410)는 아날로그 입력신호에서 1비트 D/A 컨버터(430)의 아날로그 출력신호를 감산하는 감산기(411), 감산기(411)의 출력신호를 적분하는 적분기(412), 적분기(412)의 출력신호에서 1비트 D/A 컨버터(430)의 아날로그 출력신호를 감산하는 감산기(413), 및 감산기(413)의 출력신호를 적분하는 적분기(414)를 포함한다.

<38> 에러 보정회로(450)는 이득요소(480)의 출력신호에서 리미터(510)의 출력신호를 감산하는 감산기(451), 및 감산기(451)의 출력신호를 미분하는 미분기(452)를 포함한다.

<39> 도 5에 도시된 본 발명의 제 2 실시예에 따른 델타 시그마 변조기는 각 단계의 이득의 차이를 서로 보정하기 위한 소정의 이득요소와 다중 비트 양자화기를 사용함으로써 생길 수 있는 DC 옵셋을 제거하기 위하여 다중 비트 양자화기의 출력을 일정한 레벨로 제한하는 리미터를 더 구비하고 있다는 점 외에는 도 4에 도시된 본 발명의 제 1 실시예에 따른 델타 시그마 변조기와 동일하므로 여기서 그 설명을 생략한다.

<40> 도 6은 도 5에 도시된 2차의 델타 시그마 변조기에 대해 구체적으로 전달함수를 구하여 상세히 나타낸 도면이다.

<41> 도 6에서 참조번호 410은 입력 적분회로 시리즈(410)를, 참조번호 420은 1 비트 양자화기를, 참조번호 430은 1 비트 D/A 컨버터를, 참조번호 440은 다중 비트 양자화기를, 참조번호 450은 에러 보정회로를, 참조번호 460은 지연회로를, 참조번호 470은 감산기를, 참조번호 480과 490과 500은 이득요소를, 510은 리미터를 각각 나타내며, 설명의 편의를 위해서 이들 참조번호들은 도 5에서와 동일한 번호를 사용하였다. 도 6에서 이득요소 옆에 놓인 수치들($a_1 = 1$, $a_2 = 1$, $a_3 = 1$, $a_4 = 0.75$, $a_5 = -1.5$, $a_6 = 1$, $b_1 = 1$, $b_4 = 1$, $b_5 = -2$, $b_6 = 1$, $c_1 = 0.5$, $c_2 = 0.5$, $g_1 = 2^3$, $g_2 = 2^{10}$)은 본 발명의 실시예에서 사용한 전달함수의 계수 값을 나타낸다.

<42> 신호 전달함수와 잡음 전달함수를 합한 신호인 $Y_1(z)$ 는 수학식 1과 같이 된다.

<43> 【수학식 1】
$$Y_1(z) = \frac{0.5}{z^2 - 1.5z + 0.75} X(z) + \frac{(z-1)^2}{z^2 - 1.5z + 0.75} E(z)$$

<44> 감산기(451)의 입력신호는 $g_1(X_2 + E) - g_1(X_2 + EE) = g_1(E - EE)$ 이 된다. 다중 비트 양자화기(440)를 통과한 신호는 1 비트 양자화기에 비하여 상대적으로 작은 양자화 잡음(EE)을 가지고 있다. 도 6에 도시된 이득을 사용하여 계산하면 X_3 의 값은 수학식 2와 같다.

<45>

【수학식 2】
$$X_3(z) = g_1(E(z) - EE(z)) z^{-1}$$

<46> 도 6의 델타 시그마 변조기의 피드백 루프에는 잡음 E 가 존재하므로 출력 $Y(z) = f(X(z), E(z), EE(z))$ 가 된다. 이 함수 안에 있는 E 를 제거하면 델타 시그마 변조기의 출력은 $Y(z) = f(X(z), EE(z))$ 가 된다. $EE(z)$ 는 상대적으로 에러의 양이 작은 다중 비트 양자화기(440)의 에러이다. 이렇게 함으로써 잡음특성에 가장 많은 영향을 줄 수 있는 잡음(E)를 제거하여 델타 시그마 변

조기의 피드백 루프에 있는 에러의 영향은 제거할 수 있으므로 도 6에 도시된 델타 시그마 변조기는 잡음 특성이 우수하다.

<47> 델타 시그마 변조기의 양자화 잡음 E를 제거하기 위해서는 출력신호($Y(z)$)는 수학식 3과 같이 되어야 한다.

<48>

$$Y(z) = \left[g1 \cdot z^{-1} \cdot Y1(z) - \frac{(z-1)^2}{z^2 - 1.5z + 0.75} X3(z) \right] g2$$

【수학식 3】

<49> 수학식 1과 수학식 2를 사용하여 출력신호($Y(z)$)를 구하면 수학식 4와 같이 된다.

<50>

$$Y(z) = \left[\frac{0.5 z^{-1}}{z^2 - 1.5z + 0.75} X(z) + \frac{(z-1)^2 z^{-1}}{z^2 - 1.5z + 0.75} EE(z) \right] g1 \cdot g2$$

【수학식 4】

<51> 수학식 4로부터 양자화 잡음 E는 상쇄되어 제거되고, 다중 비트 양자화기의 양자화 잡음 EE만 남아 있음을 알 수 있다. 또한, 수학식 4로부터 필요한 델타 시그마 변조기는 지연시간을 가지는 2차의 고역통과 필터를 포함하는 구조임을 알 수 있다. 고역통과 필터는 잡음($EE(z)$)을 원하는 대역 밖으로 밀어내고 원하는 신호대역 안에서는 적은 양의 잡음을 가질 수 있게 하는 잡음 정형의 특성을 가지고 있고, 이것은 곧 미분기라 볼 수 있다.

<52> 도 6에 도시된 바와 같은 본 발명의 델타 시그마 변조기는 원래의 신호의 손실은 없고 상대적으로 큰 양자화 잡음 E를 제거하고 상대적으로 작은 양자화 잡음 EE를 잡음 정형화(noise shaping)함으로써, 원하는 신호대역 내에서 우수한 신호 대 잡음비 특성을 가질 수 있다. 또한, 본 발명의 델타 시그마 변조기는 낮은 OSR에서도 디지털 영역에서 잡음소거(noise cancellation)를 함으로써 우수한 특성을 가질 수 있다. 도 6에서 이득(g1 및 g2)은 아날로그

신호가 디지털 신호로 넘어갈 때 신호를 비트로 산정하기 위한 것이므로 신호의 크기에만 영향을 미친다. 따라서, M 비트 이상의 신호 대 잡음비 특성을 위해서는 g_1 과 g_2 의 곱이 최소 2의 $(M-1)$ 승이 될 수 있도록 하여야 한다. 만일 14 비트 이상의 특성을 원한다면, $g_1 = 2^3$ 이고 $g_2 = 2^{10}$ 이 되어야 한다. 그리고, 양자화 후에 여러 보정회로에서 연산을 수행하기 위해 2의 보수형태로 연산을 진행하게 되는데, M 비트의 신호를 변환하려고 할 때 정상적인 경우라면 $+(2^{M-1} - 1) \sim -(2^{M-1} - 1)$ 의 범위에서 연산하여야 한다. 그런데, 이와 같이 연산하면 그 합이 0이 되지 않으므로 다중 비트 양자화기(440)의 출력단에 DC 값이 나타나게 된다. 이것을 방지하기 위해 다중 비트 양자화기(440)의 출력을 $+(2^{M-1} - 1) \sim -(2^{M-1} - 1)$ 로 제한하면 그 합을 0으로 만들 수 있다. 이러한 기능은 다중 비트 양자화기의 출력을 일정한 레벨로 제한하는 리미터(510)에 의해 수행된다.

<53> 상기에서는 간단한 2 차 시그마 델타 변조기를 예로 들어 설명하였다. 일반적으로 우수한 특성을 얻기 위해서 고차의 변조기를 사용하여 데이터 변환을 수행하는데, 이 경우에도 OSR과 변조기의 특성 사이에 비례관계가 성립한다. 그러므로 낮은 OSR에서는 좋은 특성이 나오지 않으므로 적절한 OSR을 유지해야 한다. 본 발명에서 제안된 회로 구조를 사용하면, 고차의 변조기에서도 상대적으로 큰 양자화 잡음을 제거하여 양자화 잡음 때문에 생기는 특성의 손실을 개선할 수 있다. 따라서, 본 발명에 따른 델타 시그마 변조기는 일반적인 A/D 변환기 또는 D/A 변환기에 적용할 수 있다.

<54> 도 7은 본 발명에 따른 델타 시그마 변조기와 종래의 델타 시그마 변조기에 대하여 오버샘플링 비에 따른 신호 대 잡음비의 시뮬레이션 결과를 나타낸 도면이다. 도 7에서 실선(solid line)은 본 발명의 회로구조를 이용하여 구현한 2 차 델타 시그마 변조기에 대한 시뮬레이션 결과를 나타내고, 점선(dotted line)은 종래

의 델타 시그마 변조기에 대한 시뮬레이션 결과를 나타낸다. 도 7에서 알 수 있듯이, 변조기의 차수에 적절한 OSR(Over-Sampling Ratio)을 가진 경우, 즉 도 7의 예에서 OSR이 256인 경우에는 본 발명의 변조기와 종래의 변조기는 특성의 차이가 거의 없으며, 이 값 이상의 경우에는 포화상태가 된다. 그러나, OSR이 낮은 경우, 예를 들면 도 7에서 OSR이 64인 경우에는, 본 발명의 변조기와 종래의 변조기는 15 dB 이상의 특성 차이가 있음을 알 수 있다. 즉, 동일한 차수의 변조기에서 동일한 OSR을 가지는 조건에서, 즉 포화상태의 조건이 아닌 충분한 변조기의 특성을 나타내는 상태에서, 본 발명의 변조기는 종래의 변조기에 비해 2.5 비트 이상 특성을 좋게 할 수 있다. 이것은 OSR을 2 배, 즉 128 까지 올려서 얻은 특성과 비슷한 특성의 향상이다. 다시 말하면, 본 발명의 변조기는 위와 같은 조건에서 동일차수에 대하여 종래의 변조기에게 OSR을 2 배정도 올린 효과를 나타낸다.

<55> 도 8과 도9는 본 발명에 따른 델타 시그마 변조기와 종래의 델타 시그마 변조기에 대한 매트랩(matlab) 시스템 시뮬레이션 결과를 나타내는 도면이다. 도 8과 도 9는 변조기의 차수가 2 차이고 OSR이 64인 경우에 대해 시뮬레이션한 결과를 나타낸다.

<56> 도 8에서, (s-1)은 입력신호(-0.707 ~ +0.707)를 나타내고, (s-2)는 종래의 방식에 따른 변조기의 출력신호를 나타내며, (s-3)은 본 발명의 변조기에서 다중 비트 양자화기를 통과한 리미터의 출력신호(4 bit, -7 ~ +7)를 나타내고, (s-4)는 본 발명의 변조기의 출력신호($Y(z)$)를 나타내고, (s-5)는 본 발명에 따른 델타 시그마 변조기와 종래의 델타 시그마 변조기에 대하여 시뮬레이션 결과를 FFT한 결과를 나타내고, (s-6)는 (s-5)의 결과를 신호대역폭(0.5)까지만 확대한 결과를 나타내고, (s-7)는 본 발명에 따른 델타 시그마 변조기의 출력을 4 차의 디지털 싱크 필터(Digital Sync Filter)에 넣어 출력을 16 다운샘플링(downsampling)한 결과를 나타내고, (s-8)는 디지털 싱크 필터의 결과를 FFT한 결과를 나타낸다.

<57> (s-5)에서 위 부분은 본 발명의 델타 시그마 변조기에 대한 FFT 결과를 나타내고, 아래 부분은 종래의 델타 시그마 변조기에 대한 FFT 결과를 나타낸다. (s-6)에서 알 수 있듯이, (s-5)의 결과를 신호대역폭(0.5)까지만 확대한 결과 신호 대 잡음비 특성이 15 dB(2.5 bit) 좋아짐을 알 수 있다.

<58> 도 9에서, (s-9)는 본 발명의 델타 시그마 변조기의 1 비트 양자화기의 출력신호와 다중 비트 양자화기의 출력신호와의 여러 값의 차이를 구한 결과를 나타내고, (s-10)은 본 발명의 델타 시그마 변조기의 디지털 에러보정을 수행한 결과($Y_2(z)$)를 나타내고, (s-11)은 (s-9)와 (s-10)에 대하여 FFT한 결과를 나타내고, (s-12)는 디지털 싱크 필터의 결과(도8의 s-8의 결과) 파형을 나타낸다.

<59> (s-11)에서 맨 위 파형은 (s-9)의 파형을 FFT한 결과를 나타내고, 중간의 파형은 (s-10)의 파형을 FFT한 결과를 나타내고, 맨 아래 파형은 본 발명의 델타 시그마 변조기의 최종 출력신호의 파형을 나타낸다. 맨 위의 파형은 잡음 정형화가 되지 않은 파형이며, 중간의 파형은 잡음 정형화가 된 파형이다. 델타 시그마 변조기의 특성에 영향을 많이 주는 양자화 잡음(E)은 에러 보정에 의해 제거되고 나머지 양자화 잡음(EE)은 미분기에서 고역통과 필터링에 의해 제거된다.

<60> 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

【발명의 효과】

<61> 상술한 바와 같이, 본 발명에 따른 델타 시그마 변조기에 의하면, 1 비트 양자화기와 다중 비트 양자화기와 에러 보정회로를 구비하고, 다중 비트 양자화기의 디지털 출력신호와 1 비트 양자화기의 디지털 출력신호를 사용하여 디지털 영역에서 에러를 정정함으로써 양자화 잡음을 감소시킬 수 있고 다중 비트 양자화기에 의해 발생할 수 있는 DC 옵셋을 제거할 수 있다. 또한, 본 발명에 따른 델타 시그마 변조기는 신호 대 잡음비의 향상을 이를 수 있으며, 신호의 대역폭이 넓어져서 높은 OSR을 이를 수 없는 경우와 고속동작에 대한 부담으로 고차의 구현이 어려운 산업분야의 응용에 사용되어 좋은 특성을 얻을 수 있다.

【특허 청구범위】**【청구항 1】**

1 비트 양자화기와 다중 비트 양자화기와 여러 보정회로를 구비하고 상기 다중 비트 양자화기의 디지털 출력신호와 상기 1 비트 양자화기의 디지털 출력신호를 사용하여 디지털 영역에서 양자화 잡음을 정정함으로써 아날로그 입력신호를 디지털 출력신호로 변환할 때 양자화 잡음을 감소시키는 것을 특징으로 하는 멜타 시그마 변조기.

【청구항 2】

아날로그 입력신호가 입력되는 입력단자;

디지털 출력신호가 출력되는 출력단자;

상기 입력단자와 상기 출력단자 사이에 위치하고 인가되는 아날로그 신호를 양자화하고 양자화된 디지털 신호를 출력하기 위한 1 비트 양자화기;

상기 양자화된 디지털 신호를 양자화된 아날로그 신호로 변환시키는 1 비트 D/A 컨버터 ;

제 1 감산기와 상기 제 1 감산기의 출력을 적분하기 위한 적분기를 포함하는 하나 이상의 단계(stage)를 포함하고, 첫 번째 단계의 제 1 감산기는 상기 입력단자의 아날로그 입력신호에서 상기 1 비트 D/A 컨버터의 양자화된 아날로그 출력신호를 감산하고 마지막 단계의 적분기는 그 출력을 상기 1 비트 양자화기에 출력하는 입력 적분회로 시리즈;

상기 입력 적분회로 시리즈의 출력신호를 양자화하고 양자화된 디지털 신호를 출력하기 위한 다중 비트 양자화기;

상기 다중 비트 양자화기의 디지털 출력신호와 상기 1 비트 양자화기의 디지털 출력신호를 수신하여 에러를 보정하는 에러 보정회로;

상기 1 비트 양자화기의 양자화된 디지털 출력신호를 지연하기 위한 지연 소자; 및
상기 지연 소자의 출력신호에서 상기 에러 보정회로의 출력신호를 감산하고 그 결과를
출력하기 위한 제 2 감산기를 구비하는 것을 특징으로 하는 델타 시그마 변조기.

【청구항 3】

제 2 항에 있어서, 상기 에러 보정회로는

상기 1 비트 양자화기의 디지털 출력신호에서 상기 다중 비트 양자화기의 디지털 출력
신호를 감산하는 제 3 감산기; 및
상기 제 3 감산기의 출력신호를 미분하는 미분기를 포함하는 것을 특징으로 하는 델타
시그마 변조기.

【청구항 4】

제 2 항에 있어서, 상기 델타 시그마 변조기는

상기 다중 비트 양자화기와 상기 에러 보정회로 사이에 DC 옵셋을 제거하기 위하여 출력
을 제한하는 리미터를 더 구비하는 것을 특징으로 하는 델타 시그마 변조기.

【청구항 5】

제 2 항 내지 제 4 항 중 어느 한 항에 있어서, 상기 델타 시그마 변조기는
아날로그 신호를 디지털 신호로 변환하는 A/D 컨버터로서 차수를 2차로 국한하여 사용되
는 것을 특징으로 하는 델타 시그마 변조기.

【청구항 6】

아날로그 입력신호가 입력되는 입력단자;

디지털 출력신호가 출력되는 출력단자;

상기 입력단자와 상기 출력단자 사이에 위치하고 인가되는 아날로그 신호를 양자화하고
양자화된 첫 번째 디지털 신호를 출력하기 위한 1 비트 양자화기;

상기 양자화된 첫 번째 디지털 신호를 양자화된 아날로그 신호로 변환시키는 1 비트
D/A 컨버터;

제 1 감산기와 상기 제 1 감산기의 출력을 적분하기 위한 적분기를 포함하는 하나 이상
의 단계(stage)를 포함하고, 첫 번째 단계의 제 1 감산기는 상기 입력단자의 아날로그 입력신
호에서 상기 1 비트 D/A 컨버터의 양자화된 아날로그 출력신호를 감산하고 마지막 단계의 적분
기는 그 출력을 상기 1 비트 양자화기에 출력하는 입력 적분회로 시리즈;

상기 1 비트 양자화기의 첫 번째 디지털 신호에 소정의 이득을 주기 위한 제 1 이득요
소;

상기 입력 적분회로 시리즈의 출력신호를 양자화하고 양자화된 2 번째 디지털 신호를 출
력하기 위한 다중 비트 양자화기;

상기 다중 비트 양자화기의 2 번째 디지털 신호에 소정의 이득을 주기 위한 제 2 이득
요소;

상기 제 2 이득요소의 출력신호와 상기 제 1 이득요소의 출력신호를 수신하여 에러를 보
정하는 에러 보정회로;

상기 제 1 이득요소의 출력신호에 소정의 이득을 주기 위한 제 3 이득요소;

상기 제 3 이득요소의 출력신호를 지연하기 위한 지연소자; 및

상기 지연 소자의 출력신호에서 상기 에러 보정회로의 출력신호를 감산하고 그 결과를 출력하기 위한 제 2 감산기를 구비하는 것을 특징으로 하는 델타 시그마 변조기.

【청구항 7】

제 6 항에 있어서, 상기 에러 보정회로는

상기 제 1 이득요소의 출력신호에서 상기 제 2 이득요소의 출력신호를 감산하는 제 3 감산기; 및

상기 제 3 감산기의 출력신호를 미분하는 미분기를 포함하는 것을 특징으로 하는 델타 시그마 변환기.

【청구항 8】

제 6 항에 있어서, 상기 델타 시그마 변조기는

상기 제 2 이득요소와 상기 에러 보정회로 사이에 리미터를 더 구비하는 것을 특징으로 하는 델타 시그마 변조기.

【청구항 9】

제 6 항에 있어서, 상기 델타 시그마 변조기는

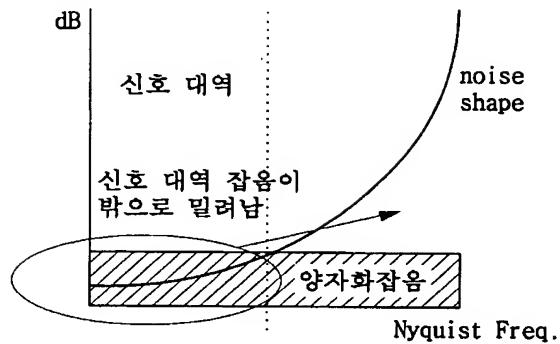
상기 제 1 이득요소와 상기 제 2 이득요소가 동일한 값을 갖는 것을 특징으로 하는 델타 시그마 변조기.

【청구항 10】

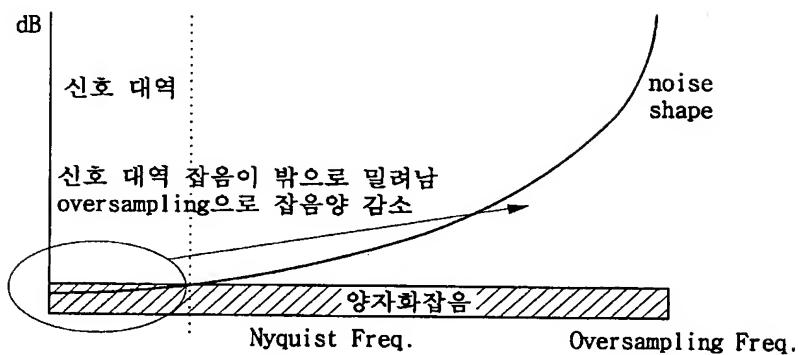
제 6 항 내지 제 9 항 중 어느 한 항에 있어서, 상기 델타 시그마 변조기는
아날로그 신호를 디지털 신호로 변환하는 A/D 컨버터로서 차수를 국한하여 사용되는 것
을 특징으로 하는 델타 시그마 변조기.

【도면】

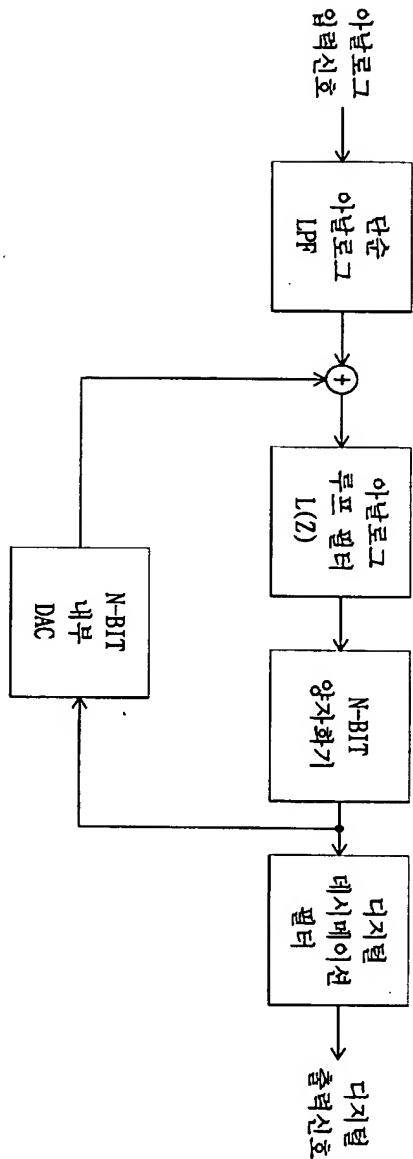
【도 1a】



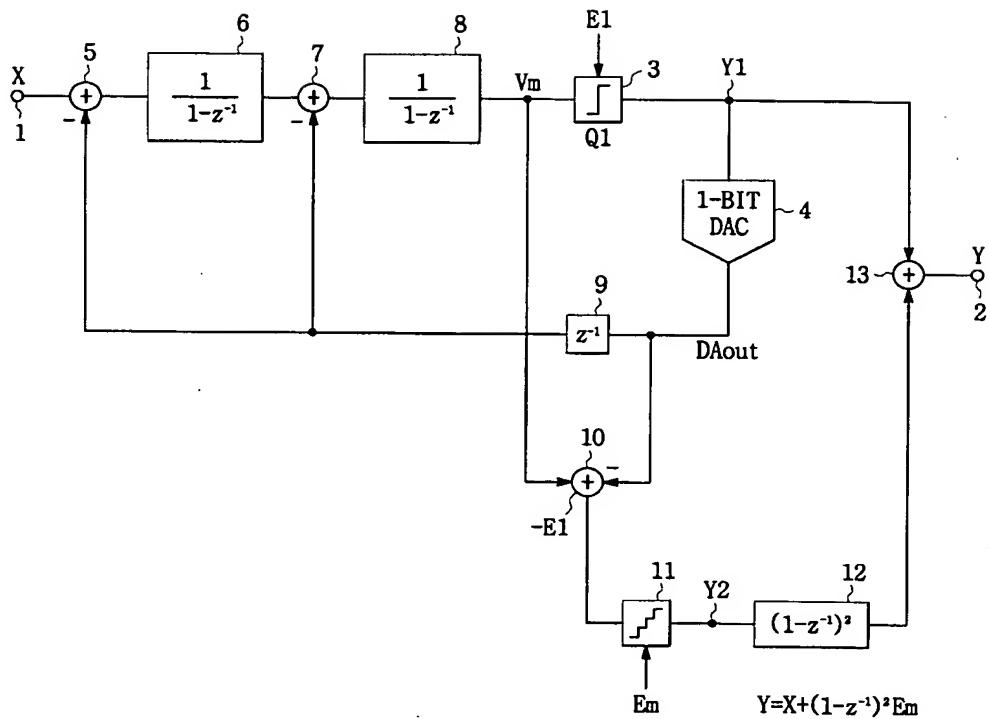
【도 1b】



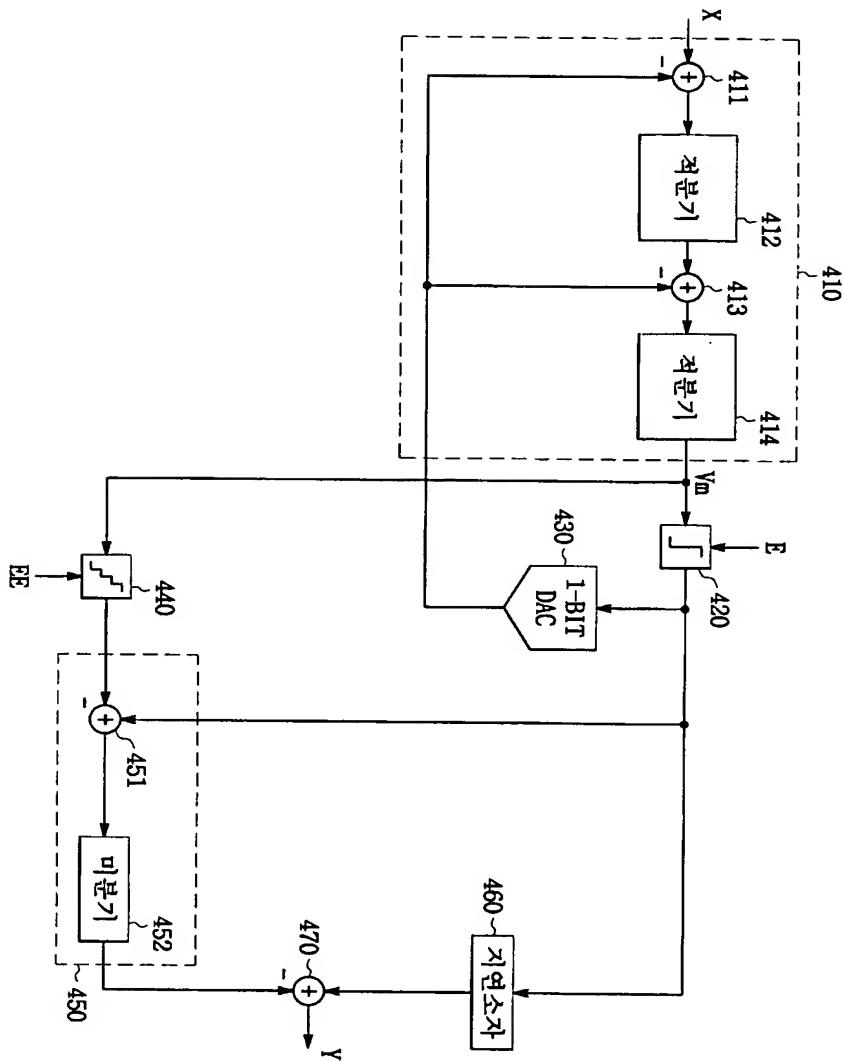
【도 2】



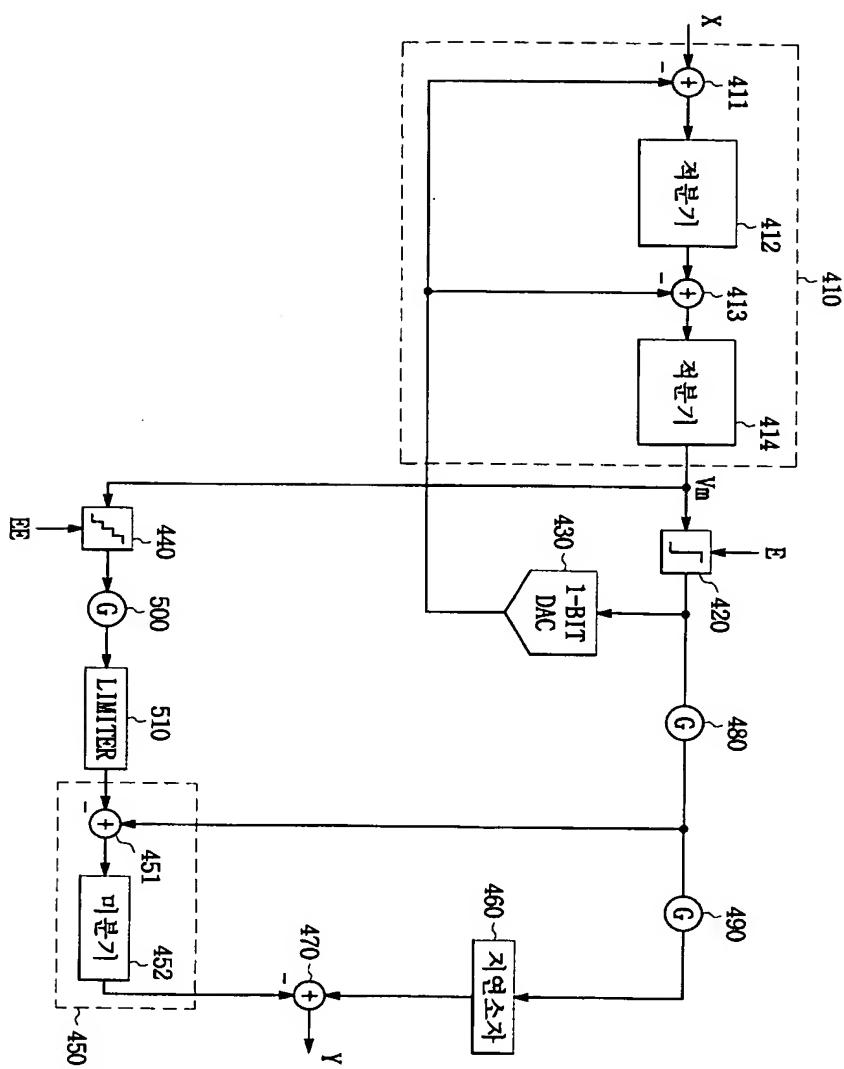
【도 3】



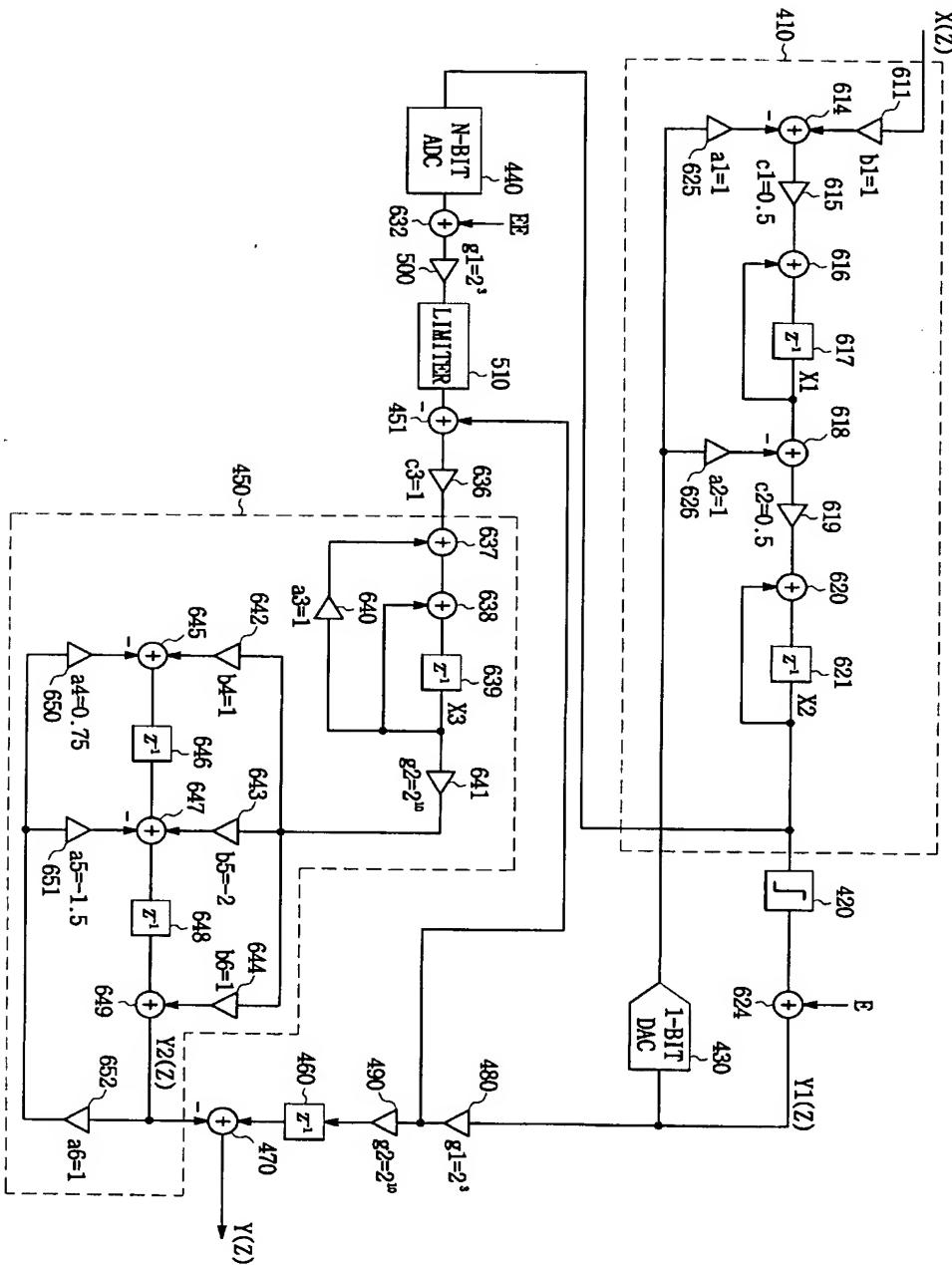
【도 4】



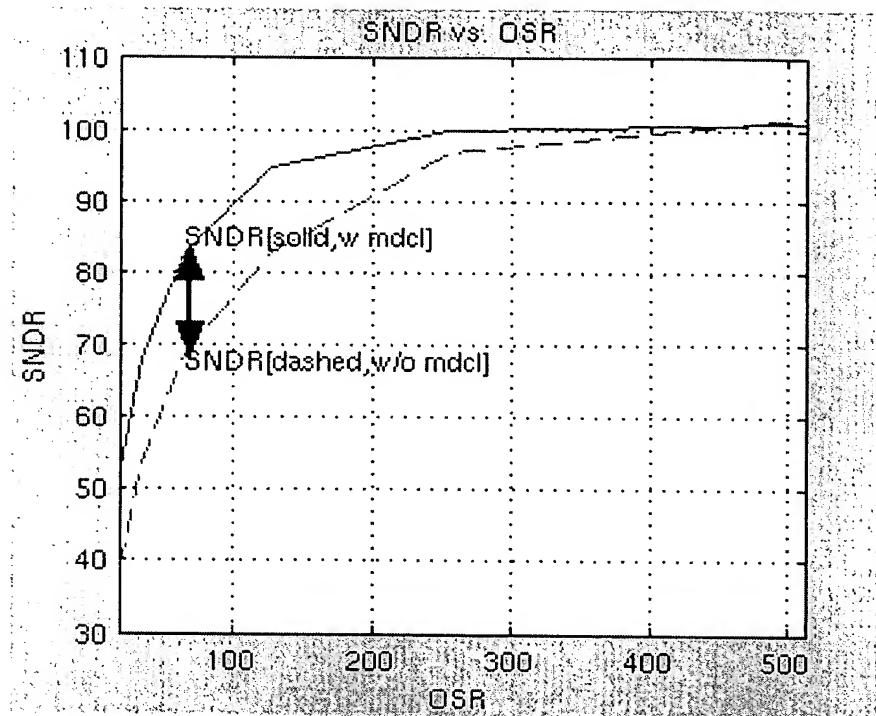
【도 5】



【도 6】



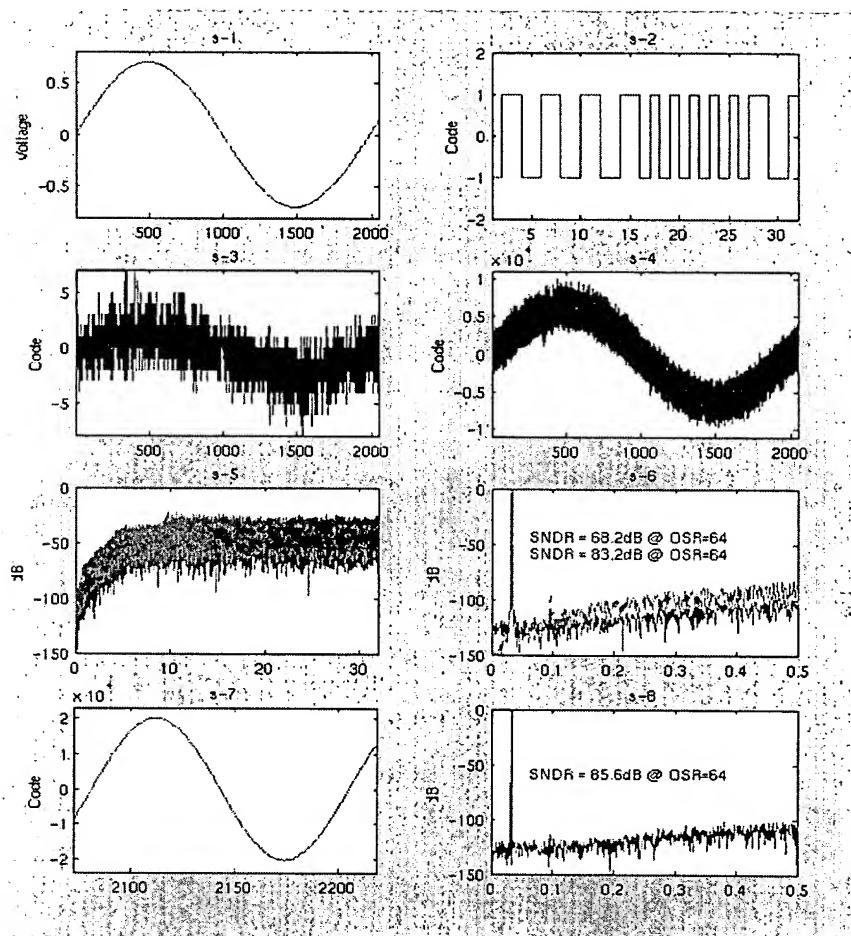
【도 7】



1020030000354

출력 일자: 2004/3/19

【도 8】

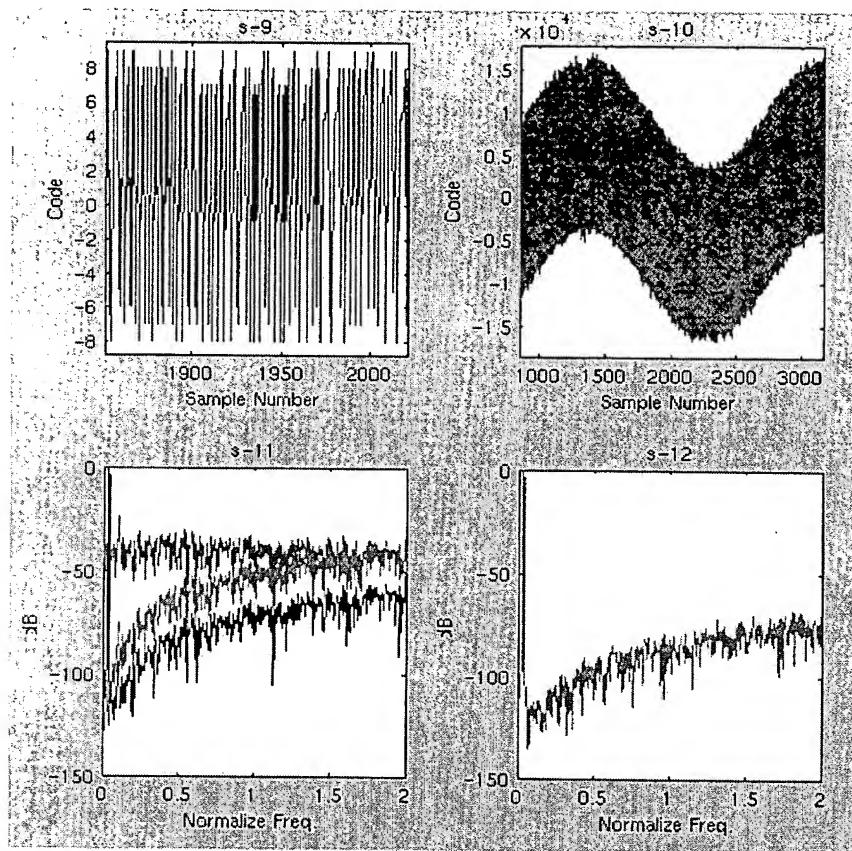


BEST AVAILABLE COPY

1020030000354

출력 일자: 2004/3/19

【도 9】



BEST AVAILABLE COPY